

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-020925

(43)Date of publication of application : 24.01.1989

(51)Int.Cl.

B23H 1/02

(21)Application number : 62-174481

(71)Applicant : HODEN SEIMITSU KAKO
KENKYUSHO LTD

(22)Date of filing : 13.07.1987

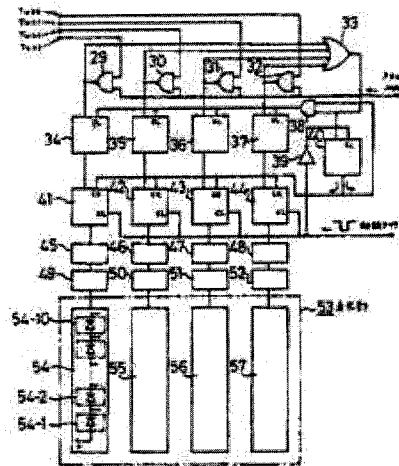
(72)Inventor : FUTAMURA SHOJI
KURIHARA SEIKI

(54) MONITOR FOR ELECTRIC DISCHARGE MACHINING CONDITION

(57)Abstract:

PURPOSE: To enable a no-load discharging period rate to be read even by unskilled engineers by indicating on a indicator what type and what % of the discharging pulses of no-load discharging period rate are in the total discharging pulses.

CONSTITUTION: In counters 37W34 are accumulated times of pulse width of pulse (corresponding to discharging periods respectively within the range of 0W5%, 5W10%, 10W20% or more of no-load discharging period rate) appearing at respective terminals TWX 0W3. Data in the counter 34W37 are latched to latch circuits 41W44. By current supplied to division indicating sections 54W57 from resistance circuits 49W52 are lit lighting sections corresponding to the count number latched to the respective latch circuits 41W44. Thus, the respective division indicting sections 54W57 will indicate the items of discharging way in a certain period by percentage to indicate what type and what % of discharging pules of no-load discharging pulses rate are in the total discharging pulses.



English Translation of S64-20925

Page 2, lower left column, lines 2-19

the voltage waveform of discharge gap is shown in figure 14. Therefore, the average voltage is indicated by the following formula.

$$\text{Average Voltage} = \frac{V1 \times TW + V2 \times (T1 - TW)}{T1 + T2}$$

V1: no-load voltage

V2: discharge voltage

T1: voltage applying period

T2: voltage non-applying period

TW: no-load discharging period

As will be noted from the above-mentioned formula, voltage non-applying period T2 is included in the formula as one element of periods. Voltage non-applying period T2 changes if a machining condition is changed or if machining current density control is performed. That is, the average voltage is changed not only when no-load discharging period is changed, but also when voltage non-applying period T2 is changed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-20925

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月24日

B 23 H 1/02

Z-7908-3C

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 放電加工状況観測装置

⑮ 特 願 昭62-174481

⑯ 出 願 昭62(1987)7月13日

⑰ 発 明 者 二 村 昭 二 神奈川県川崎市幸区下平間283番地 株式会社放電精密加工研究所内

⑱ 発 明 者 栗 原 正 機 神奈川県横浜市港北区南山田町4076番地 有限会社マイ設計内

⑲ 出 願 人 株式会社 放電精密加工研究所 神奈川県川崎市幸区下平間283番地

⑳ 代 理 人 弁理士 森 田 寛 外3名

明 細 書

1. 発明の名称

放電加工状況観測装置

2. 特許請求の範囲

放電加工がどのような放電無負荷期間率の放電で行われているかを観測する放電加工状況観測装置において、電圧印加期間を複数個の区分期間に区分する期間区分手段と、放電開始時点が属する区分期間毎に放電期間を累積計測する放電期間累積計測手段と、全放電期間の累積期間が所定値に達した時、累積計測した放電期間を各区分期間毎に表示する表示手段とを備えることを特徴とする放電加工状況観測装置。

3. 発明の詳細な説明

【産業上の利用分野】

放電加工において、電圧を印加してから放電を開始するまでに要する期間を放電無負荷期間とい

い、この放電無負荷期間の電圧印加期間に対する割合のことを放電無負荷期間率(TW%)というが、本発明は、どの程度の放電無負荷期間率の放電で加工が行われているかを、一目で分かるよう表示する放電加工状況観測装置に関するものである。

【従来の技術】

放電加工が良好な状態の下で行われているかどうかを知る有力な手掛かりとして、放電無負荷期間率がある。放電無負荷期間率(TW%)の定義は、前述したようなものであるから、式で表すと次のようになる。

$$\text{放電無負荷期間率} = \frac{\text{放電無負荷期間}}{\text{電圧印加期間}} \times 100$$

第11図に、放電無負荷期間率(TW%)と加工速度との関係を示し、第12図に、放電無負荷期間率(TW%)と面粗さとの関係を示す。

これらの図から分かるように、放電無負荷期間率(TW%)が大きいと、面粗さの値は一定の小

さな値で行われる。しかし、加工速度は遅くなる。なぜなら、放電無負荷期間中には放電は行われないため加工は進まないからである。

放電無負荷期間率(TW%)が小になると、加工速度は遅くなるが、あまりに小さくなると却って速度は遅くなる。そして、面粗さは大きくなる。これは、放電部の冷却、絶縁回復が充分に行われなくなるため、加工液の蒸発、膨張、飛散、溶融された金属の除去等の一連のプロセスがスムーズに行われないことによる。そのため、放電はおこなわれているものの、加工面の前進が思うように進まず、被加工体表面に出来る熱変質層も厚くなって面が荒れて来る。材質によっては、ヘアークラック(細かい歪み割れ)が出来ることもある。

放電加工においては、被加工体の材質や加工形状および面の仕上げ度(面粗さ)に応じて加工条件を調整するが、放電無負荷期間率(TW%)をどの程度にするかも、加工条件の1つである。従って、放電加工中に、現に行われている放電の放電無負荷期間率(TW%)を検出することが必要

とされる。

従来、放電加工中の放電無負荷期間率(TW%)は、放電ギャップにかかっている電圧を、電圧計やオシロスコープを用いて測定していた。電圧計の振れやオシロスコープの波形を見ながら放電無負荷期間率(TW%)を判断するというものである。

【発明が解決しようとしている問題点】

(問題点)

しかしながら、電圧計やオシロスコープに直接放電無負荷期間率(TW%)が表示されるわけではなく、指針の振れや波形から類推して放電無負荷期間率(TW%)を判断しなければならないので、前記した従来の技術には、熟練した技術者を必要とするという問題点があった。

(問題点の説明)

まず、電圧計を用いた場合について説明する。電圧計は平均電圧を指示する。第14図は、放電における平均電圧を説明するための図である。放

電加工においては電圧はパルス的に与えられるので、放電ギャップにかかる電圧波形は、第14図に示すような形になる。従って、平均電圧は、次式で表される。

$$\text{平均電圧} = \frac{V_1 \times TW + V_2 \times (T_1 - TW)}{T_1 + T_2}$$

ここに、 V_1 …無負荷電圧

V_2 …放電電圧

T_1 …電圧印加期間

T_2 …電圧印加休止期間

TW …放電無負荷期間

である。

上式から分かるように、期間の要素として電圧印加休止期間 T_2 も式中に含まれている。電圧印加休止期間 T_2 は、加工条件が変更されたり加工電流密度制御が行われたりすると変わる。つまり、平均電圧は、放電無負荷期間が変わる場合だけでなく電圧印加休止期間 T_2 が変わる場合にも変化することになるが、電圧計の振れを見ていてその変化の原因が放電無負荷期間の変化にあることを

判断することは至難の技であり、電圧計の振れを観測しても、それは、放電無負荷期間が変化した可能性があるという目安程度にしかならなかった。

また、電圧計の振れは、放電無負荷期間が相当変化しても僅かしか変化しない(分解能が低い)ので、読み取りの面からも熟練を要していた。例えば、無負荷電圧 $V_1 = 100V$ 、電圧印加期間 $T_1 = 100\mu S$ 、電圧印加休止期間 $T_2 = 15\mu S$ の時、放電無負荷期間が $5\mu S \sim 10\mu S$ と、変化しても、平均電圧は約5V位しか変化しない。

従って、電圧計によって放電無負荷期間率(TW%)を読み取るには熟練を要する上、読み取った結果も目安程度にしかならなかった。

次に、オシロスコープを用いた場合について説明する。オシロスコープでは、1発1発の放電パルスが観測出来る。しかし、放電加工においては、個々の放電パルスの放電無負荷期間率(TW%)がどうなっているかということよりも、むしろ比較的長い期間(例えば、ワイヤカット放電加工の場合、数10msの期間)にわたって全体的に眺

めて見て、どのような放電無負荷期間率(TW%)の放電パルスで加工がなされているかということの方が大事である。そのことを、オシロスコープの波形から判断して読み取るには、やはり相当の熟練を要していた。

本発明は、以上のような問題点を解決することを目的とするものである。

【問題点を解決するための手段】

前記問題点を解決するため、本発明では、どのような放電無負荷期間率(TW%)の放電パルスが、全体の何%を占めているかを表示装置に表示させ、読み取りに何らの熟練も必要としないようにするべく、次のような手段を講じた。

即ち、本発明では、放電加工がどのような放電無負荷期間率の放電で行われているかを観測する放電加工状況観測装置において、電圧印加期間を複数個の区分期間に区分する期間区分手段と、放電開始時点が属する区分期間毎に放電期間を累積計測する放電期間累積計測手段と、全放電期間の

図は、本発明にかかわる放電加工状況観測装置の加工状況表示部のブロック図を示す。第1図の右下の端子T_{WX0}ないしT_{WX3}は、第2図の左上の端子T_{WX0}ないしT_{WX3}に続き、両図で放電加工状況観測装置の全体のブロック図を示す。

第3図は、第1図の回路に関するタイムチャートであり、第4図ないし第9図は、第1図のブロック図の動作を説明するための図である。

第1図において、1ないし5はカウンタ、6ないし8はAND素子、9ないし14はDフリップフロップ、15ないし19はNAND素子、20ないし24はDフリップフロップ、25はインバータ、26はAND素子、27はインバータ、28はAND素子である。

以下、まず期間区分手段を構成する放電期間(T_{on})の設定、休止期間(T_{off})の設定、電圧印加信号の発生、放電無負荷期間率(TW%)の設定の各手段について説明し、次いで、放電期間累積計測手段を構成する放電無負荷期間率(TW%)の検出、各放電期間の計測、全放電期間の

累積期間が所定値に達した時、累積計測した放電期間を各区分期間毎に表示する表示手段を備えることとした。

【作 用】

前記期間区分手段は、電圧印加期間を複数個の期間に区分し、放電開始が電圧印加期間のどの範囲の期間になされたかを知ることが可能にする。

前記放電期間累積計測手段は、放電無負荷期間率が所定の範囲にある放電の放電期間を、累積計測する。

前記表示手段は、累積放電期間を区分期間毎に表示して、どのような放電がどのような割合で起こって放電加工が行われているかを示す。

【実施例】

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は、本発明にかかわる放電加工状況観測装置の加工状況検出部のブロック図を示し、第2

計測について説明し、最後に表示手段について説明する。

(1) 放電期間(T_{on})の設定とその終了信号④の発生

放電期間(T_{on})の設定とその終了信号④の発生は、カウンタ1とDフリップフロップ9とNAND素子15とで行う。これらの動作を、第1図、第3図、第4図を参照しつつ説明する。

第4図は、放電期間(T_{on})の設定とその終了信号の発生のさせ方を説明する波形図である。カウンタ1には、予め所望の放電期間(T_{on})に対応したカウントをセットしておく。そして、それを一定間隔のクロックでカウントダウンし、0になるまでの期間を放電期間(T_{on})とする。放電期間(T_{on})を変更したい時には、セットするカウント数を変える。放電開始信号S(これは放電電流を検出することによって得る)がDフリップフロップ9のクロック端子CKに入ると、出力端子Qにはデータ端子Dの値が出る。この時データ

端子Dの値は1(ハイ、high、以下同じ)である。なぜなら、データ端子Dは、Dフリップフロップ10の出力端子Qに接続されており、その値はこの時次のような理由により1だからである。即ち、クロック端子CKとデータ端子Dには正電圧が印加され、出力端子Qの初期設定値は1であるし、また、いったん放電が開始された後においては、前回の放電後の休止期間(T_{off})の終了信号(後述する)によりDフリップフロップ10はブレスセットされ、そのため出力端子Qには1が出ている。

なお、Dフリップフロップ9の出力端子Qに接続されるラインに対して④という符号を付したが、第3図、第4図において④で指示した波形は、このラインに現れる波形を示す。

NAND素子15の一方の入力端子には放電期間(T_{on})カウント用のクロックが常に入力されているから、他方の入力端子に前記出力端子Qの出力1が入っている間、NAND素子15はクロック出力を出す。これはカウンタ1に送られる。

放電期間(T_{on})が終了して電圧の印加が停止されても、直ちにゼロにはならない。回路中に存在するインダクタンスに蓄えられていたエネルギーが放出されるまでに、若干時間がかかるからである。ギャップ電圧がゼロになったことを検知(検知手段は図示せず)して、放電終了信号Eが発される。この時点から休止期間(T_{off})を設定する。

放電期間(T_{on})が終了した時点で、第4図で示したように、放電期間終了信号④が出るが、これはDフリップフロップ10のクリア端子CLにも入れられ、その出力端子Qを1にする。この1はDフリップフロップ11のデータ端子Dに送られる。第5図で分かるように、放電終了信号Eは、それより後にDフリップフロップ11のクロック端子CKに入れられるから、Dフリップフロップ11の出力端子Qの出力は1となる。Dフリップフロップ11の出力端子Qに接続されるラインに対して、第1図で④という符号を付したが、第3図、第5図において④で指示した波形は、このラ

カウンタ1は、このクロックによりカウントダウンを始め、先にセットした値をカウントし尽くすと、出力④を出す。この出力④は、セットした放電期間(T_{on})が経過したことを知らせる信号となる。

放電期間終了信号④は、後述するように種々の用途に用いられるが、カウンタ1のロード端子Lにも入れられ、次の放電に備えて再び放電期間(T_{on})に対応したカウントをセットする。

(2) 休止期間(T_{off})の設定とその終了信号⑤の発生

休止期間(T_{off})の設定とその終了信号⑤の発生は、カウンタ2とDフリップフロップ10、11とNAND素子16とで行う。これらの動作を、第1図、第3図、第5図を参照しつつ説明する。

第5図は、休止期間(T_{off})の設定とその終了信号の発生のさせ方を説明する波形図である。

放電ギャップにかかっているギャップ電圧は、

インに現れる波形を示す。

NAND素子16の一方の入力端子にライン④の値が入力され、他方の入力端子に休止期間(T_{off})カウント用クロックが入力されているから、ライン④の値が1になると、NAND素子16はカウンタ2にクロックを送る。カウンタ2には、予め設定したい休止期間(T_{off})に対応したカウントをセットしておき、前記クロックでカウントダウンして行く。カウントし尽くした時、カウンタ2は、第1図で④という符号を付したラインに出力する。第3図、第5図において④で指示した波形は、このラインに現れる波形を示す。ライン④に出た出力が、設定した休止期間(T_{off})が経過したことを示す信号である。

ライン④に出た出力は、Dフリップフロップ11のクリア端子CLに入れられ、その出力端子Qの値(ライン④の値)をゼロにする。すると、NAND素子16からのクロックの送出は停止される。また、ライン④の出力は、カウンタ2のロード端子Lにも入れられ、次の放電に備えて再び休

止期間 (T_{off}) に対応したカウントをセットする。更に、ライン④に出た出力は、Dフリップフロップ10のプレセット端子Pにも入れられ、出力端子Qの値を1にする。次の放電開始時に、Dフリップフロップ9のデータ端子Dが、1の値を保持して待機できるようにするためである。

(3) 電圧印加信号の発生について

電圧印加信号は、電源から放電間隙への回路の途中にあるスイッチ（スイッチング用トランジスタ等）をオンして、放電間隙に電圧を印加するために必要な信号である。第3図に、その波形図が描かれている。

この電圧印加信号は、第1図のDフリップフロップ10の出力端子Qに発生させられる。

この出力端子Qの値が1になるのは、休止期間終了信号④が出た時である。休止期間終了信号④が、Dフリップフロップ10のプレセット端子Pに入るようにされているから、この時、出力端子Qの値は1となる。

定の仕方を説明する。

(4-1) 0~5%, 0~10%, 0~20%の設定

放電無負荷期間率 (TW%) 5%の設定は、カウンタ3とAND素子6とDフリップフロップ12とNAND素子17によって行う。まず、カウンタ3に放電無負荷期間率 (TW%) 5%の期間に相当したカウントをセットする。休止期間終了時には、休止期間終了信号④がDフリップフロップ12のプレセット端子Pに入るから、出力端子Qの出力は1となる（なお、それ以前は、放電期間終了信号④が入っていたことにより0であった）。NAND素子17の2つの入力端子の内の1つには先程の出力端子Qの出力が入れられ、他方の端子には放電無負荷期間 (TW) カウント用クロックが入れられているから、前記出力端子Qの出力が1である期間中、NAND素子17からクロックが出る。このクロックは、カウンタ3に送られ、先にセットしたカウントをカウントダウ

一方、値が0になるのは、放電期間終了信号④が出た時である。放電期間終了信号④が、クリア端子CLに入るようにされているから、この時、出力端子Qの値は0になる。

(4) 放電無負荷期間率 (TW%) の設定

放電無負荷期間率 (TW%) を区分けして表示する際の範囲の分け方は、必要に応じて適宜決定出来ることであるが、この例では、0~5%, 5~10%, 10~20%, 20%以上の各範囲に分けて表示することとした。そして、本実施例では、個々の放電の放電無負荷期間率 (TW%) が、これらの内のどの範囲に属するのかを検出するための手法として、まず0~5%, 0~10%, 0~20%, 20%以上の各範囲を設定する回路を設け、これらの回路からの出力を論理演算して、最終的に0~5%, 5~10%, 10~20%, 20%以上のどの範囲に属するかの検出を行うという手法をとった。そこで、最初に0~5%, 0~10%, 0~20%, 20%以上の各範囲の設

定して行く。カウントダウンし尽くした時の出力で、Dフリップフロップ12をクリア（出力端子Qの出力を0に）してNAND素子17のクロック送出を停止させると共に、AND素子6を介してカウンタ3に再びカウントをセットする (Load)。

即ち、Dフリップフロップ12の出力端子Qから出力1が出ている期間が、放電無負荷期間率 (TW%) 0~5%の期間ということになる (第6図 (ハ))。

同様にして、カウンタ4、AND素子7、Dフリップフロップ13、NAND素子18によって0~10%の期間が設定され (第7図 (ハ))、カウンタ5、AND素子8、Dフリップフロップ14、NAND素子19によって0~20%の期間が設定される (第8図 (ハ))。

(4-2) 20%以上の設定

20%以上の期間の設定は、Dフリップフロップ23によってなされる。20%に相当する期間

が経過した時出るカウンタ5の出力は、Dフリップフロップ23のクロック端子CKに入れられ、そのデータ端子Dの値1を出力端子Qに出す（なお、それ以前の出力端子Qの出力は、クリア端子CLに入って来た前回の放電の放電期間終了信号④のため、0になっている）。

その後、今回の放電の放電期間終了信号④がクリア端子CLに入って来た時、該出力端子Qの出力は0になる。

以上のようにして、Dフリップフロップ23の出力端子Qからは、放電無負荷期間率(TW%)20%の時点から放電期間終了時点までの幅を持つパルス(第9図(ハ))が出て、20%以上の期間が設定される。

(5) 放電無負荷期間率(TW%)の検出

(5-1) 放電無負荷期間率(TW%)が0~5%の範囲にある放電の検出(第6図参照)

第6図に、放電無負荷期間率が5%以下の場合

いうことは放電開始信号SがDフリップフロップ20のクロック端子CKに入って来ると、Dフリップフロップ20の出力端子Qの出力は1となる。これは、端子TWX0に出てゆく。

放電期間終了信号④がクリア端子CLに入って来た時、Dフリップフロップ20の出力端子Qの出力は0となる。従って、端子TWX0に現れる波形は、第6図(ホ)および第3図に示すような波形となる。この波形は、次の2つのことを意味している。第1は、端子TWX0に現れることにより、今行われた放電は放電無負荷期間率(TW%)0~5%の範囲にある放電であるということである。第2は、この波形の幅の期間は、放電を開始してから電圧の印加が停止されるまでの期間に相当しているということである。

なお、放電開始信号SはDフリップフロップ20のみならず、Dフリップフロップ21、22、24のクロック端子CKにも入っている。この時Dフリップフロップ21、22のデータ端子Dの値も1になっているから(第7図(ハ)、第8図

の波形図を示す。第6図(イ)は、第1図のDフリップフロップ10の出力端子Qから得られる電圧印加信号である。第6図(ロ)は、放電間隙のギャップ電圧である。第6図(ハ)は、(4-1)項で説明した0~5%の設定幅の期間である。第6図(ニ)のSは放電開始信号、④は放電期間終了信号を示す。第6図(ホ)は検出結果であるところの放電期間を表すパルスである。この図の場合は、0~5%の間に放電を開始した場合であるので、このパルスは、端子TWX0に現れる。

放電無負荷期間率(TW%)が0~5%の範囲にある放電の検出は、Dフリップフロップ20によって行う。

Dフリップフロップ20のデータ端子Dには、Dフリップフロップ12の出力端子Qの出力が入力される。従って、0~5%の間中は、(4-1)で述べたように該出力端子Qの出力は1であるから、前記データ端子Dも1である。

この期間内に放電無負荷期間が終了すると、と

(ハ)参照)、それらの出力端子Qからは、1の出力が出ている。しかし、その出力は、インバータ25、27、AND素子26、28の作用により、端子TWX1、TWX2には出ない。即ち、インバータ25があるため、Dフリップフロップ21の出力端子Qの出力1が端子TWX1に出るのには、少なくともDフリップフロップ20の出力端子Qの出力が0になっていなければならない。しかし、Dフリップフロップ20の出力端子Qの出力は、前述したように、放電期間終了まで1であるから、結局、端子TWX1には1の出力は出ない。端子TWX2についても同様である。

(5-2) 放電無負荷期間率(TW%)が5~10%の範囲にある放電の検出(第7図参照)

第7図は、放電無負荷期間率が5~10%の間にある場合の波形図である。第7図(イ)ないし(ホ)は、第6図のそれらに対応する。

放電無負荷期間率(TW%)5~10%の範

図の放電の検出は、Dフリップフロップ21によって行う。5%の期間が経過すると、Dフリップフロップ20の出力端子Qの出力は0になるから、インバータ25の出力はそれ以後1になる。つまり、AND素子26は、Dフリップフロップ21の出力端子Qの値が1になり次第、その値を端子T W X 1に出し得る状態になって待機することになる。

5%の期間が経過した後10%の期間が経過するまでに、放電開始信号Sがクロック端子C Kに入ってくると、Dフリップフロップ21の出力端子Qの値は1となり、その状態は、クリア端子C Lに放電期間終了信号④が入ってくるまで続く。従って、端子T W X 1には、放電開始信号Sの時点から放電期間終了信号④の時点までの幅を持ったパルス波形が出ることになる。

Dフリップフロップ21のデータ端子Dには、前述したように、0~10%の期間中1が来ているから、その間にクロック端子C Kに放電開始信号Sが入ってくれば出力端子Qの値は1になるが、

参照)

第9図は、放電無負荷期間率が20%以上の範囲にある場合の波形図である。第9図の(イ)ないし(ホ)は、第6図のそれらに対応する。

この検出は、Dフリップフロップ24によって行われる。放電無負荷期間率(TW%)を検出するための4つのDフリップフロップ20、21、22、24の内、20%以上の範囲の期間においてデータ端子Dの値が1になっているのは、Dフリップフロップ24だけである(第6~9図の(ハ)参照)。

従って、20%以上の期間中に放電開始信号Sが発生した場合には、Dフリップフロップ24の出力端子Qの値が1となり、これはそのまま端子T W X 3に出て行く。該出力端子Qの値が0に戻るのは、放電期間終了信号④がクリア端子C Lに入った時である。

(6) 各放電期間の計測(第6図ないし第9図の波形T W X 0~3の幅の計測) …第2図、

0~5%の期間については、インバータ25、AND素子26のために端子T W X 1に出て行くのを阻止されるのである。

以上の通りであるから、5~10%の範囲中に発生した放電開始信号Sに対してのみ、端子T W X 1に出力パルスが出、その幅は放電期間を示すことになる。

(5-3) 放電無負荷期間率(TW%)が10~20%の範囲にある放電の検出(第8図参照)

第8図は、放電無負荷期間率が10~20%の範囲にある場合の波形図である。第8図の(イ)ないし(ホ)は、第6図のそれらに対応する。

この検出は、Dフリップフロップ22によって行われるが、その動作は5~10%の検出の場合と同様である。

(5-4) 放電無負荷期間率(TW%)が20%以上の範囲にある放電の検出(第9図

第10図参照

放電期間の計測は、第2図のNAND素子29ないし32、およびカウンタ34ないし37によって行う。

第10図は、放電期間の計測の仕方を示す図である。第10図(イ)は、端子T W X 0~3に出て来るパルスを時系列に表したものである。a、bは端子T W X 0に現れたパルス、c、eは端子T W X 1に現れたパルス、dは端子T W X 2に現れたパルス、f、gは端子T W X 3に現れたパルスであるとする。第10図(ロ)は、それらのパルスの全累積時間、第10図(ハ)ないし(ヘ)は、それぞれ端子T W X 0~3に現れるパルスの累積時間を表す。

端子T W X 0に入ってくるパルス(a、b)の幅を計測する場合について説明する。

パルスaがNAND素子32の1つの入力端子に入ると、他の入力端子に時間を計測するためのクロック(例えば1μsに1個)が入って来ているから、NAND素子32はパルスaの幅の期間

だけクロック出力を出す。そのクロック出力はカウンタ37に入れられる。カウンタ37にカウントされる値は、パルスaの幅に対応したものとなる。

次にパルスbが入って来ると、同様にしてカウンタ37にクロック出力が入る。すると、カウンタ37の値は、パルスaの幅とパルスbの幅とを合計した幅の期間に対応した値となる。

このようにして、カウンタ37には、端子TWX0に現れたパルスのパルス幅（放電無負荷期間率（TW%）が0～5%の範囲の放電の放電期間に相当）の時間が累積される。

同様にして、カウンタ36には、端子TWX1に現れたパルスのパルス幅の時間が累積され、カウンタ35には、端子TWX2に現れたパルスのパルス幅の時間が累積され、カウンタ34には、端子TWX3に現れたパルスのパルス幅の時間が累積される。

(7) 全放電期間の計測（端子TWX0～3のバ

ートをラッチ回路41～44にラッチするという用途である。もう1つは、カウンタ40を所定値に達せしめたOR素子33からのクロックと共にAND素子38に入力され、カウンタ34～37をクリアするという用途である。カウンタ34～37をクリアするのは、次の累積作業に備えるためである。

なお、インバータ39は、カウンタ40へ初期クリア信号を仲介するためのものである。

(8) 表示の仕方…第2図、第13図

ラッチ回路41～44にラッチされた値は、デコード45～48によって10進数に変換される。抵抗回路49～52は、表示部53を形成する区分表示部54～57に流す電流を、適切なものにするためのものである。

個々の区分表示部は、いくつかの発光部（区分表示部54について言うならば、54-1、54-2、…54-10）で構成する。発光部の数は、例えば第2図の区分表示部54に示すように10

ルスのパルス幅の全累積時間の計測）…第

2図、第10図

第2図のOR素子33の入力端子には、NAND素子29～32のクロック出力が入れられているから、端子TWX0～3のいずれかにパルスが現れれば、OR素子33はクロック出力を出す。そのクロック出力は、カウンタ40に入力される。従って、カウンタ40の値は、第10図（ロ）の如く、全てのパルスのパルス幅を合計した時間に対応する値となる。

カウンタ40は、予め定めた値（例、100）に達すると出力を出し、ゼロに戻るようなカウンタである。なお、クロックが1μSに1個の割合で出されるとすると、予め定めた値が100であれば、これは時間に換算すると100μSの時間に相当することになる。

カウンタ40の出力パルスは、その立ち上がり、立ち下がりを利用して、2つの用途に用いられる。1つは、ラッチ回路41～44のクロック端子CKに入ることによって、カウンタ34～37のデ

コードとし、1個で10%を表示させるようにすることも出来る。また、発光部に使用する発光素子としては、例えば発光ダイオードがある。

抵抗回路49～52から、区分表示部54～57に供給される電流によって、それぞれラッチ回路41～44にラッチされたカウント数に対応した発光部が発光させられる。

第13図は、本発明に関わる放電加工状況観測装置の表示部を示す図であり、上記のようにして発光させられた状態の1例を示している。斜線を施してある部分が、発光している発光部である。

区分表示部54では10%のところの発光部が発光しているが、これは、ある一定の期間（カウンタ40で設定した期間。即ち、放電期間の全累積時間が、予め定めた時間に達する迄の期間）内になされた放電の放電期間のうち10%の期間が、放電無負荷期間率（TW%）が0～5%の放電による放電期間であったということを意味している。

同様に、区分表示部55の70%という表示は、

前記の一定期間内になされた放電の放電期間のうち70%の期間が、放電無負荷期間率(TW%)が5~10%の放電による放電期間であったということの意味し、区分表示部56の20%という表示は、前記の一定期間内になされた放電の放電期間のうち20%の期間が、放電無負荷期間率(TW%)が10~20%の放電による放電期間であったということの意味している。

合計すると、100%になる。つまり、各区分表示部は、ある一定期間内の放電の仕方の内訳を、%で表示することになる。

ラッチ回路41~44の内容は、所定の期間経過すると、次々に新しい内容に更新されるから、表示部53の表示内容も、それに伴って更新される。

各区分表示部に対しては、放電加工を進めるに当たっての適当なコメントを付すことが出来る。例えば、放電無負荷期間率(TW%)0~5%に対しては、「急ぎ過ぎです」というコメントが考えられる。放電無負荷期間が短いということは、

電圧を印加してから放電を開始するまでの期間が短いということである。このようなことは、加工を急ぐあまり被加工体をワイヤに接近させ過ぎ、ワイヤと被加工体との間隙が小になっている場合に起こり易い。従って、上記のようなコメントを付しておけば、作業者が次にどのような注意を払って作業をつづければよいのかが、容易に分かる。

5~10%の範囲に対しては「標準」、10~20%の範囲に対しては「安全重視」、20%以上の範囲に対しては「条件変更して下さい」等のコメントが考えられる。

なお、所望の論理機能を得る場合に、そのための回路は論理素子を用いて種々に構成できるから、本発明を実施するための回路は、第1図、第2図に示されるものに限られることなく、その精神を逸脱することなく種々構成することが出来る。

【発明の効果】

以上述べた如く、本発明によれば、どのような放電無負荷期間率(TW%)の放電パルスが、全

体の何%を占めているかを表示装置に一目瞭然に表示させることが出来るので、放電無負荷期間率の読み取りに何らの熟練も必要としなくなった。

4. 図面の簡単な説明

第1図…本発明にかかわる放電加工状況観測装置の加工状況検出部のブロック図

第2図…本発明にかかわる放電加工状況観測装置の加工状況表示部のブロック図

第3図…第1図の回路に関するタイムチャート

第4図…放電期間(T_{on})の終了信号の発生のさせ方を説明する波形図

第5図…休止期間(T_{off})の終了信号の発生のさせ方を説明する波形図

第6図…放電無負荷期間率が5%以下の場合の波形図

第7図…放電無負荷期間率が5~10%の間にある場合の波形図

第8図…放電無負荷期間率が10~20%の間にある場合の波形図

第9図…放電無負荷期間率が20%以上の場合の波形図

第10図…放電期間の計測の仕方を示す図

第11図…放電無負荷期間率(TW%)と加工速度との関係を示す図

第12図…放電無負荷期間率(TW%)と面粗さとの関係を示す図

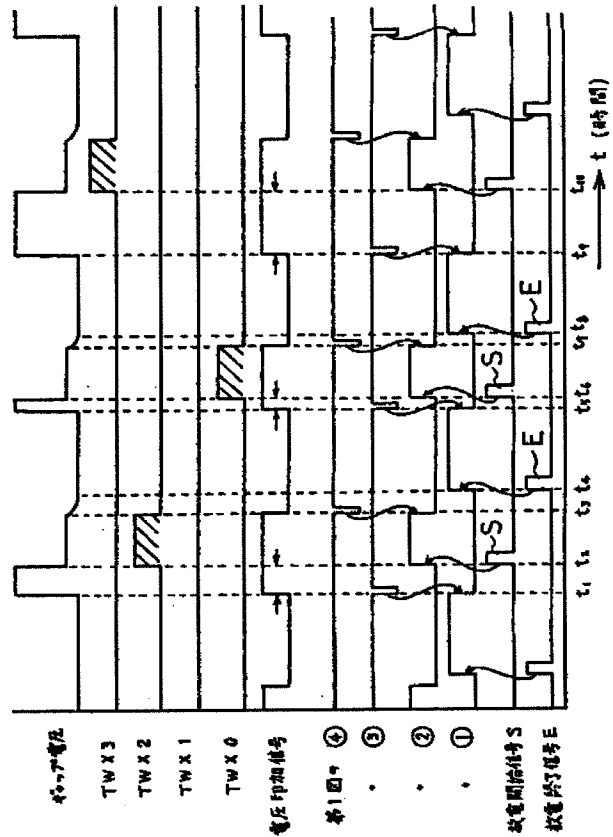
第13図…本発明に関わる放電加工状況観測装置の表示部を示す図

第14図…放電における平均電圧を説明するための図

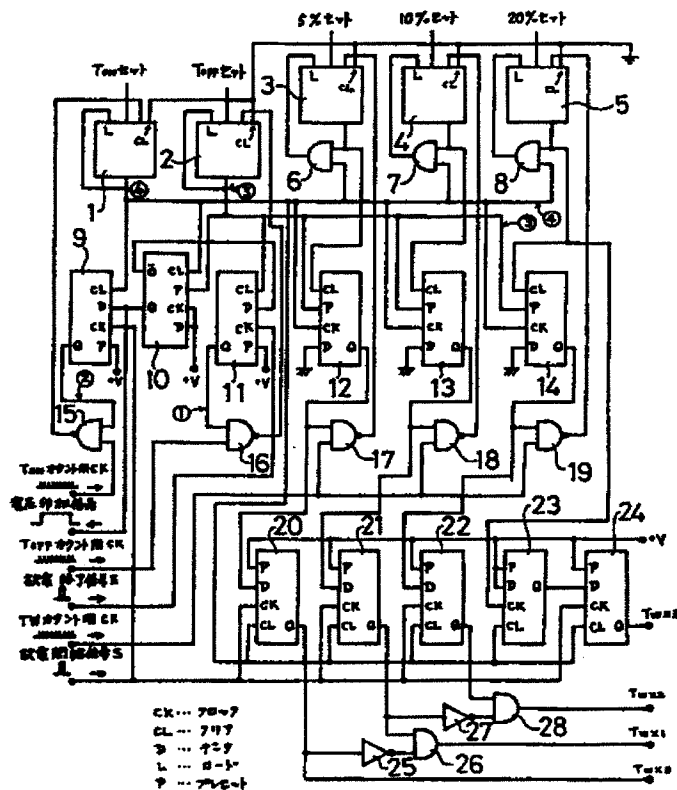
図において、1ないし5はカウンタ、6ないし8はAND素子、9ないし14はDフリップフロップ、15ないし19はNAND素子、20ないし24はDフリップフロップ、25はインバータ、26はAND素子、27はインバータ、28はAND素子、29ないし32はNAND素子、33はOR素子、34ないし37はカウンタ、39はインバータ、40はカウンタ、41ないし44はラッチ回路、45ないし48はデコード、49な

いし 52 は抵抗回路、53 は表示部、54 ないし
57 は区分表示部である。

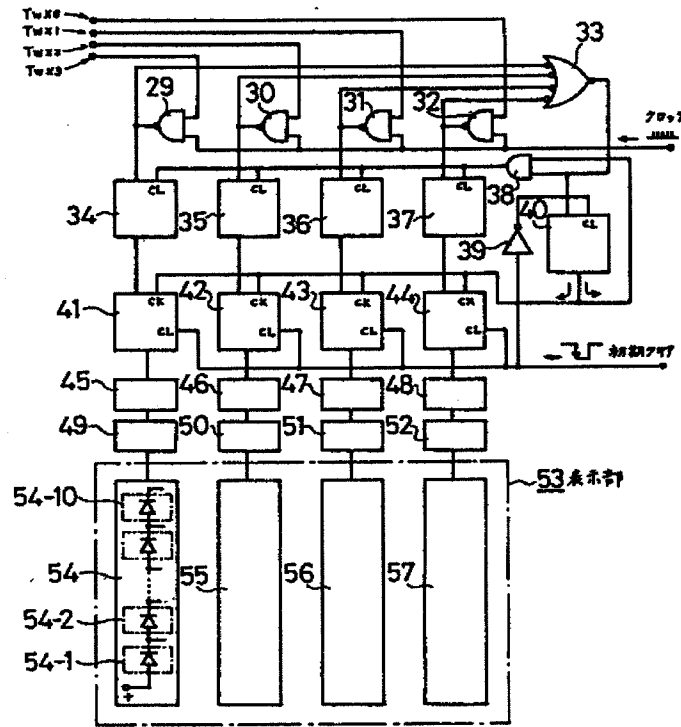
特許出願人 株式会社 放電精密加工研究所
代理人弁理士 森田 寛 (外 3 名)



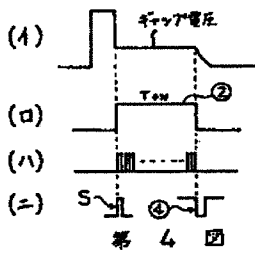
第 3 図



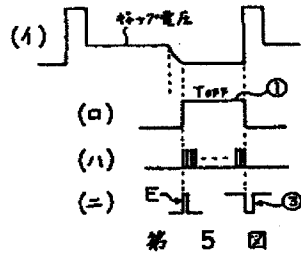
第 1 図



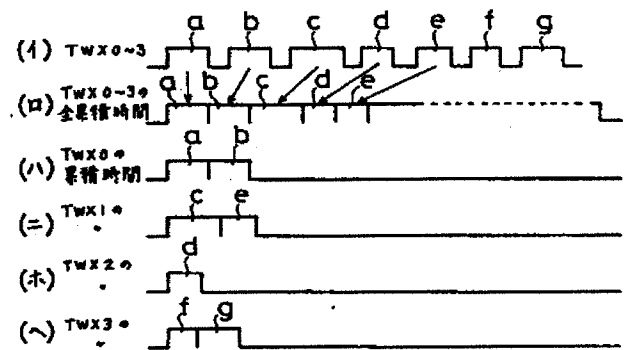
第 2 図



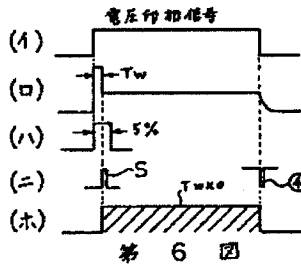
第 4 図



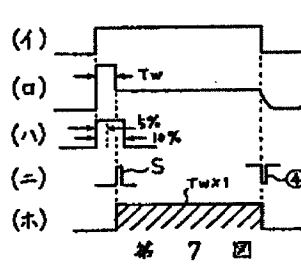
第 5 図



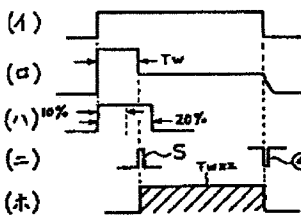
第 10 図



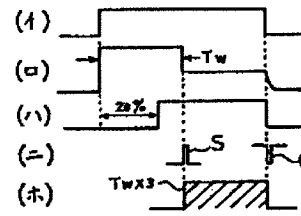
第 6 図



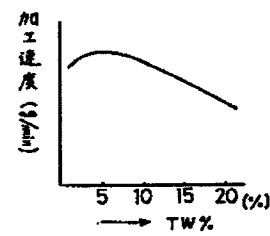
第 7 図



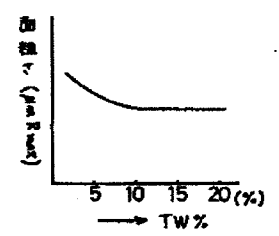
第 8 図



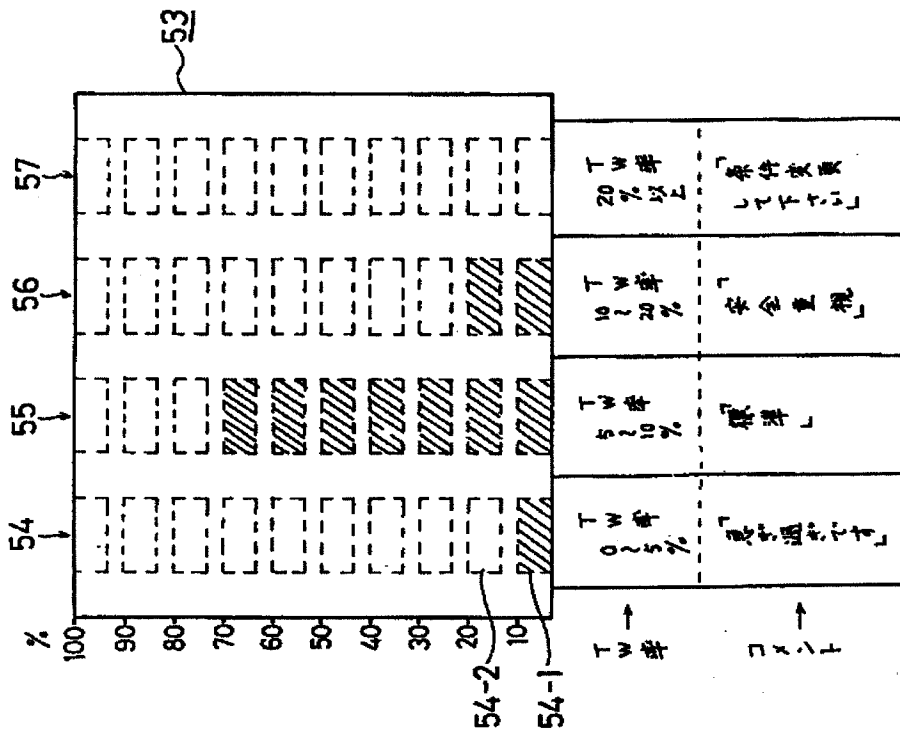
第 9 図



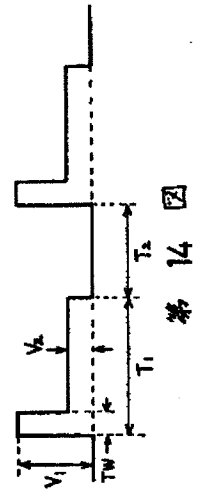
第 11 図



第 12 図



第 13 図



第 14 図